

---

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

---

## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010091213 A  
(43)Date of publication of application: 23.10.2001

---

(21)Application number:	1020000012669	(71)Applicant:	LG ELECTRONICS INC.
(22)Date of filing:	14.03.2000	(72)Inventor:	KANG, SEONG HO
(30)Priority:	..		
(51)Int. Cl	G09G 3/28		

---

(54) METHOD FOR DRIVING PLASMA DISPLAY PANEL IN HIGH SPEED

(57) Abstract:

PURPOSE: A method for driving a plasma display panel in high speed is provided to improve contrast by providing a plurality of selective writing sub-fields and a multiplicity of selective erasing sub-fields. CONSTITUTION: A frame of a method for driving in high speed plasma display panel(PDP) includes twelve sub-fields(WSF1 TO WSF6,ESF7 TO ESF12) in order to reduce an animation pseudo contour noise. The twelve sub-fields(WSF1 TO WSF6,ESF7 TO ESF12) are divided to sub-fields(WSF1 TO WSF6) divided by selective writing method and sub-fields(ESF7 TO ESF12) driven by elective elimination method. The first sub-field(WSF1) is divided to a reset period turning off a whole screen, a selective writing address period turning on selective discharge cells, a sustain address performing a sustain discharge in the selective discharge cells by an address discharge, and an erasing period eliminating the sustain discharge. The second to five sub-fields(WSF2 TO WSF5) are divided to the selective writing address period, the sustain period, and the erasing period, respectively. And the sixth sub-field(WSF6) is divided to the selective writing address period and the sustain period. The seventh to the twelfth sub-fields(ESF7 TO ESF12) are divided to a selective elimination address period turning off the selected discharge cells and the sustain period performing the sustain discharge on the discharge cells accepting for the discharge cells selected by the address discharge cells without a front lighting period.

copyright KIPO 2002

## Legal Status

Date of request for an examination (20000314)

Notification date of refusal decision ( )

Final disposal of an application (registration)

Date of final disposal of an application (20020826)

Patent registration number (1003590150000)

Date of registration (20021017)

Number of opposition against the grant of a patent ( )

Date of opposition against the grant of a patent ( )

Number of trial against decision to refuse ( )

Date of requesting trial against decision to refuse ( )

(19) 대한민국특허청 (KR)  
(12) 등록특허공보 (B1)

(51) 。 Int. Cl.<sup>7</sup>  
G09G 3/28

(45) 공고일자 2002년10월31일  
(11) 등록번호 10 -0359015  
(24) 등록일자 2002년10월17일

(21) 출원번호 10 -2000 -0012669  
(22) 출원일자 2000년03월14일

(65) 공개번호 특2001 -0091213  
(43) 공개일자 2001년10월23일

(73) 특허권자 엘지전자주식회사  
서울시영등포구여의도동20번지

(72) 발명자 강성호  
대구광역시북구태전동442우방3차105동903호

(74) 대리인 김영호

심사관 : 김준한

(54) 플라즈마 디스플레이 패널의 고속 구동방법

요약

본 발명은 플라즈마 디스플레이 패널을 고속으로 구동시킴과 아울러 콘트라스트를 향상시킬 수 있도록 한 플라즈마 디스플레이 패널의 고속 구동방법에 관한 것이다.

본 발명에 따른 플라즈마 디스플레이 패널의 고속 구동방법의 한 프레임은 어드레스기간에 선택된 방전셀들에 대하여 쓰기방전을 일으킴으로써 방전셀을 켜는 다수의 선택적 쓰기 서브필드들과; 어드레스기간에 선택된 방전셀들에 대하여 소거방전을 일으킴으로써 방전셀을 끄는 다수의 선택적 소거 서브필드들을 포함한다.

대표도  
도 3

명세서

도면의 간단한 설명

도 1은 종래의 3전극 교류 면방전형 플라즈마 디스플레이 패널의 방전셀 구조를 나타내는 사시도.

도 2는 종래의 플라즈마 디스플레이 패널의 한 프레임 구성을 나타내는 도면.

도 3은 본 발명의 실시예에 따른 플라즈마 디스플레이 패널의 한 프레임 구성을 나타내는 도면.

도 4는 도 3에 도시된 서브픽셀들마다 공급되는 구동파형을 나타내는 파형도.

도 5는 본 발명의 다른 실시예에 따른 플라즈마 디스플레이 패널의 한 프레임 구성을 나타내는 도면.

< 도면의 주요 부분에 대한 부호의 설명

10 : 상부기관 12Y,12Z : 투명전극

13Y,13Z : 금속버스전극 14,22 : 유전체층

16 : 보호막 18 : 하부기관

20X : 어드레스전극 24 : 격벽

26 : 형광체 30Y : 주사/서스테인전극

30Z : 공통서스테인전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플라즈마 디스플레이 패널의 구동방법에 관한 것으로, 특히 플라즈마 디스플레이 패널을 고속으로 구동시킴과 아울러 콘트라스트를 향상시킬 수 있도록 한 플라즈마 디스플레이 패널의 고속 구동방법에 관한 것이다.

플라즈마 디스플레이 패널(Plasma Display Panel : 이하 "PDP"라 함)은 He +Xe 또는 Ne +Xe 불활성 혼합가스의 방전시 발생하는 147nm의 자외선에 의해 형광체를 발광시킴으로써 문자 또는 그래픽을 포함한 화상을 표시하게 된다. 이러한 PDP는 박막화와 대형화가 용이할 뿐만 아니라 최근의 기술 개발에 힘입어 크게 향상된 화질을 제공한다. 특히, 3전극 교류 면방전형 PDP는 방전시 표면에 벽전하가 축적되며 방전에 의해 발생하는 스퍼터링으로부터 전극들을 보호하기 때문에 저전압 구동과 장수명의 장점을 가진다.

도 1을 참조하면, 3전극 교류 면방전형 PDP의 방전셀은 상부기관(10) 상에 형성되어진 주사/서스테인전극(30Y) 및 공통서스테인전극(30Z)과, 하부기관(18) 상에 형성되어진 어드레스전극(20X)을 구비한다. 주사/서스테인전극(30Y)과 공통서스테인전극(30Z) 각각은 투명전극(12Y,12Z)과, 투명전극(12Y,12Z)의 선폭보다 작은 선폭을 가지며 투명전극의 일측 가장자리에 형성되는 금속버스전극(13Y,13Z)을 포함한다. 투명전극(12Y,12Z)은 통상 인듐틴옥사이드(Indium -Tin -Oxide : ITO)로 상부기관(10) 상에 형성된다. 금속버스전극(13Y,13Z)은 통상 크롬(Cr) 등의 금속으로 투명전극(12Y,12Z) 상에 형성되어 저항이 높은 투명전극(12Y,12Z)에 의한 전압강하를 줄이는 역할을 한다. 주사/서스테인전극(30Y)과 공통서스테인전극(30Z)이 나란하게 형성된 상부기관(10)에는 상부 유전체층(14)과 보호막(16)이 적층된다. 상부 유전체층(14)에는 플라즈마 방전시 발생된 벽전하가 축적된다. 보호막(16)은 플라즈마 방전시 발생된 스퍼터링에 의한 상부 유전체층(14)의 손상을 방지함과 아울러 2차 전자의 방출 효율을 높이게 된다. 보호막(16)으로는 통상 산화마그네슘(MgO)이 이용된다. 어드레스전극(20X)이 형성된 하부기관(18) 상에는 하부 유전체층(22), 격벽(24)이 형성되며, 하부 유전체층(22)과 격벽(24) 표면에는 형광체층(26)이 도포된다. 어드레스전극(20X)은 주사/서스테인전극(30Y) 및 공통서스테인전극(30Z)과 교차되는 방향으로 형성된다. 격벽(24)은 어드레스전극(20X)과 나란하게 형성되어 방전에 의해 생성된 자외선 및 가시광이 인접한 방전셀에 누설되는 것을 방지한다. 형광체층(26)은 플라즈마 방전시 발생된 자외선에 의해 여기되어 적색, 녹색 또는 청색 중 어느 하나의 가시광선을 발생하게 된

다. 상/하부기관(10,18)과 격벽(24) 사이에 마련된 방전셀의 방전공간에는 방전을 위한 He+Xe 또는 Ne+Xe 등의 불활성 혼합가스가 주입된다.

이러한 3전극 교류 면방전형 PDP는 화상의 계조(Gray Level)를 구현하기 위하여 한 프레임을 발광횟수가 다른 여러 서브필드로 나누어 구동하고 있다. 각 서브필드는 다시 방전을 균일하게 일으키기 위한 리셋 기간, 방전셀을 선택하기 위한 어드레스 기간 및 방전횟수에 따라 계조를 구현하는 서스테인 기간으로 나뉘어진다. 예를 들어, 256 계조로 화상을 표시하고자 하는 경우에 1/60 초에 해당하는 프레임 기간(16.67ms)은 8개의 서브필드들(SF1내지SF8)로 나누어지게 된다. 아울러, 8개의 서브 필드들(SF1내지SF8) 각각은 어드레스 기간과 서스테인 기간으로 다시 나누어지게 된다. 여기서, 각 서브필드의 리셋기간 및 어드레스 기간은 각 서브필드마다 동일한 반면에 서스테인 기간은 각 서브필드에서  $2^n$  ( $n=0,1,2,3,4,5,6,7$ )의 비율로 증가된다. 이와 같이 각 서브필드에서 서스테인 기간이 달라지게 되므로 화상의 계조를 구현할 수 있게 된다.

이와 같은 PDP의 구동방법은 어드레스 기간에 어드레스 방전에 의해 선택되는 방전셀의 발광여부에 따라 선택적 쓰기(Selective writing) 방식과 선택적 소거(Selective erasing) 방식으로 대별된다.

선택적 쓰기방식의 구동방법은 리셋기간에 전화면을 턴 -오프(Turn -off) 시킨 후, 어드레스 기간에 선택된 방전셀들을 턴 -온(Turn -on)시키게 된다. 이어서, 서스테인 기간에는 어드레스 방전에 의해 선택된 방전셀들을 서스테인 방전 시킴으로써 화상을 표시하게 된다. 선택적 쓰기 방식의 구동방법에 있어서는 어드레스 방전시 방전셀 내에 충분한 벽전하를 형성시키기 위하여 주사/서스테인전극(30Y)에 공급되는 스캔펄스(Scan pulse)의 펄스폭을 대략  $3\mu s$  이상으로 설정하고 있다. PDP가 VGA(Video Graphics Array) 급의 해상도를 가지면 총 480 라인의 주사라인들을 가지게 된다. 이 경우, 선택적 쓰기방식의 구동방법은 한 프레임 기간(16.67ms) 내에 8 개의 서브필드를 포함할 때, 한 프레임 내에 필요한 어드레스 기간이 총 11.52ms가 필요하게 된다. 이에 비하여, 서스테인 기간은 수직동기신호(Vsync)를 고려하여 3.05ms가 할당된다. 다시 말하여, 어드레스 기간은 한 프레임당  $3\mu s$ (스캔펄스의 펄스폭)  $\times$  480 라인  $\times$  8(서브필드 수)로 산출된 11.52ms가 필요하다. 서스테인기간은 한 프레임당 11.52ms의 어드레스 기간, 0.3ms의 1회 리셋기간,  $100\mu s \times 8$  서브필드 = 0.8ms의 소거기간 및 1ms의 수직동기신호(Vsync) 여유기간을 뺀(16.67ms - 11.52ms - 0.3ms - 1ms - 0.8ms) 나머지 시간인 3.05ms이다.

한편, PDP에서는 서브필드들의 조합에 의해 화상의 계조를 구현하는 특성 때문에 동화상에서 의사윤곽 노이즈(Contour noise)가 발생되기도 한다. 의사윤곽 노이즈가 발생되면 화면 상에서 의사윤곽이 나타나게 되므로 표시품질이 떨어지게 된다. 예를 들어, 화면의 좌측반이 128의 계조값으로 표시되고 화면의 우측반이 127의 계조값으로 표시된 후, 화면이 좌측으로 이동되면 계조값 128과 127 사이의 경계부분에 피크 화이트(Peak White) 즉, 흰띠가 나타나게 된다. 이와 반대로, 화면의 좌측반이 128의 계조값으로 표시되고 화면의 우측반이 127의 계조값으로 표시된 화면이 우측으로 이동되면 계조값 127과 128 사이의 경계부분에 흑레벨(Black level) 즉, 검은띠가 나타나게 된다. 이와 같은 동화상 의사윤곽 노이즈를 제거하기 위한 방법으로는 하나의 서브필드를 분할하여 1~2개의 서브필드를 추가하는 방법, 서브필드의 순서를 재배열하는 방법, 서브필드를 추가하고 서브필드의 순서를 재배열하는 방법 및 오차확산방법 등이 제안되고 있다. 그러나 선택적 쓰기방식의 구동방법에서는 동화상 의사윤곽 노이즈를 제거하기 위하여 서브필드를 추가시키게 되면 서스테인 기간이 부족하거나 할당될 수 없게 되어 구동이 불가능하게 된다. 실제로, 선택적 쓰기방식의 구동방법에서 8 개의 서브필드들 중 두 개의 서브필드를 분할하여 10 개의 서브필드들로 한 프레임을 구성하면 서스테인 기간에 할당될 수 있는 시간이 없게 된다. 다시 말하여, 어드레스 기간은 한 프레임당  $3\mu s$ (스캔펄스의 펄스폭)  $\times$  480 라인  $\times$  10(서브필드 수)로 산출된 14.4ms이다. 이에 비하여, 서스테인기간은 한 프레임당 14.4ms의 어드레스 기간, 0.3ms의 1회 리셋기간,  $100\mu s \times 10$ (서브필드 수) = 1ms의 소거기간 및 1ms의 수직동기신호(Vsync) 여유기간을 뺀(16.67ms - 14.4ms - 0.3ms - 1ms - 1ms) 나머지 시간인 -0.03ms이다.

이와 같이 선택적 쓰기방식의 구동방법은 한 프레임을 8 개의 서브필드들로 구성하게 되면 3ms 정도의 서스테인 기간 즉, 표시기간을 확보할 수 있지만 한 프레임을 10 개의 서브필드들로 구성하게 되면 표시기간이 할당될 수 없으므로 구동이 불가능하게 된다. 이러한 문제점을 극복하기 위하여, 한 화면을 분할구동시키는 방법이 있지만 구동 드라이브 IC 들이 그 만큼 추가되어야 하므로 제조원가가 증가되는 또 다른 문제점이 발생하게 된다. 한편, 선택적 쓰기방식의 구동 방법은 한 프레임이 8 개의 서브필드들로 구성된 경우, 3.05ms의 표시기간 전체동안 화면이 켜지면 피크 화이트(Peak White)의 밝기에 해당하는  $300\text{cd/m}^2$ 만큼의 광이 발생한다. 이에 비하여 한 프레임 내에서 1회의 리셋기간에만 리셋방전에 의해 화면이 켜지고 서스테인기간에는 화면이 전혀 켜지지 않으면 블랙(Black)에 해당하는  $0.7\text{cd/m}^2$ 만큼의 광이 발생한다. 따라서, 선택적 쓰기방식의 구동방법의 암실 콘트라스트비(Contrast ratio)는 430 : 1 수준이다.

선택적 소거방식의 구동방법은 리셋기간에 전화면을 라이팅 방전시킴으로써 턴 -온(Turn -on) 시킨 후, 어드레스 기간에 선택된 방전셀들을 턴 -오프(Turn -on)시키게 된다. 이어서, 서스테인 기간에는 어드레스 방전에 의해 선택되지 않은 방전셀들을 서스테인 방전시킴으로써 화상을 표시하게 된다. 선택적 소거방식의 구동방법에 있어서는 어드레스 방전 시 선택된 방전셀들의 벽전하 및 공간전하를 소거시킬 수 있도록 대략  $1\mu\text{s}$ 의 선택적 소거 데이터 펄스가 어드레스전극(20X)에 공급된다. 이와 동시에, 주사/서스테인전극(30Y)에는 선택적 소거 데이터 펄스와 동기되는 대략  $1\mu\text{s}$ 의 스캔 펄스가 공급된다. PDP가 VGA (Video Graphics Array) 급의 해상도를 가지면 선택적 소거방식의 구동방법은 한 프레임 기간(16.67ms) 내에 8 개의 서브필드를 포함할 때, 한 프레임 내에 필요한 어드레스 기간이 총 3.84ms에 불과하게 된다. 이에 비하여, 서스테인 기간은 수직동기신호(Vsync)를 고려하여 10.73ms 정도로 충분히 할당될 수 있게 된다. 다시 말하여, 어드레스 기간은 한 프레임당  $1\mu\text{s}$ (스캔펄스의 펄스폭)  $\times$  480 라인  $\times$  8(서브필드 수)로 산출된 3.84ms이다. 서스테인기간은 한 프레임당 3.84ms의 어드레스 기간, 0.3ms의 1회 리셋기간, 1ms의 수직동기신호(Vsync) 여유기간,  $100\mu\text{s} \times 8$ (서브필드 수) = 0.8ms의 전면 라이팅(writing) 기간을 뺀(16.67ms - 3.84ms - 0.3ms - 1ms - 0.8ms) 나머지 기간인 10.73ms이다. 이와 같이 선택적 소거방식의 구동방법에서는 어드레스 기간이 작은 만큼 서브필드 수를 늘려도 표시기간인 서스테인 기간을 확보할 수 있다. 예를 들어, 한 프레임 내에서 서브필드를 10 개로 증가시키게 되면 어드레스 기간은 한 프레임당  $1\mu\text{s}$ (스캔펄스의 펄스폭)  $\times$  480 라인  $\times$  10(서브필드 수)로 산출된 4.8ms이다. 이에 비하여, 서스테인기간은 한 프레임당 4.8ms의 어드레스 기간, 0.3ms의 1회 리셋기간,  $100\mu\text{s} \times 10$ (서브필드 수) = 1ms의 전면 라이팅기간 및 1ms의 수직동기신호(Vsync) 여유기간을 뺀(16.67ms - 4.8ms - 0.3ms - 1ms - 1ms) 나머지 기간인 9.57ms이다. 따라서, 선택적 소거방식의 구동방법은 서브필드 수를 10개로 증가시키더라도 선택적 쓰기방식의 구동방법에서 서브필드 수가 8 개인 경우보다도 3 배 이상의 서스테인 기간을 확보할 수 있으므로 256 계조로 밝은 화면을 구현할 수 있게 된다. 그러나 선택적 소거방식의 구동방법은 비표시기간인 전면 라이팅기간에 전화면이 라이팅 되므로 콘트라스트가 저하되는 단점이 있다. 예를 들어 한 프레임이 도 2와 같이 10 개의 서브필드들(SF1내지SF10)로 구성된 경우, 9.57ms의 표시기간에서 전화면이 켜지면 피크 화이트(Peak White) 밝기에 해당하는  $950\text{cd/m}^2$ 만큼의 광이 발생한다. 그리고 한 프레임 내에서 1회의 리셋기간에서 발생되는  $0.7\text{cd/m}^2$ 의 밝기와 전면 라이팅 기간에서 발생되는  $1.5\text{cd/m}^2 \times 10$ (서브필드 수) =  $15\text{cd/m}^2$ 의 밝기가 더해진  $15.7\text{cd/m}^2$ 의 밝기가 블랙(Black)에 해당하는 밝기이다. 따라서, 한 프레임이 10 개의 서브필드들(SF1내지SF10)을 포함하는 경우 선택적 소거방식의 구동방법의 암실 콘트라스트비(Contrast ratio)는  $950 : 15.7 = 60 : 1$  수준이므로 콘트라스트가 나빠지게 된다. 그 결과, 선택적 소거방식의 구동방법은 서스테인 기간이 충분히 확보되는 만큼 화면이 밝은데 비하여 콘트라스트가 나빠기 때문에 화면이 선명하지 못하고 뿌옇게 화상이 느껴지게 된다.

이와 같이 콘트라스트가 나쁜 문제점을 극복하기 위하여, 프레임당 한 번만 전면 라이팅하고 매 서브필드마다 필요없는 방전셀들을 꺼나가는 방법이 제안된 바 있다. 그러나 이 방법은 이전 서브필드가 반드시 켜져 있어야만 다음 서브필드가 구동될 수 있으므로 아래의 계조 수가 서브필드의 개수 +1 개 밖에 되지 않으므로 화질이 나쁜 문제점이 있다. 즉, 한 프레임이 10 개의 서브필드들을 포함한다면 아래의 표 1과 같이 계조 수는 11개가 된다.

[표 1]

계조	SF1(1)	SF2(2)	SF3(4)	SF4(8)	SF5(16)	SF6(32)	SF7(48)	SF8(48)	SF9(48)	SF10(48)
0	×	×	×	×	×	×	×	×	×	×
1	○	×	×	×	×	×	×	×	×	×
3	○	○	×	×	×	×	×	×	×	×
7	○	○	○	×	×	×	×	×	×	×
15	○	○	○	○	×	×	×	×	×	×
31	○	○	○	○	○	×	×	×	×	×
63	○	○	○	○	○	○	×	×	×	×
111	○	○	○	○	○	○	○	×	×	×
159	○	○	○	○	○	○	○	○	×	×
207	○	○	○	○	○	○	○	○	○	×
255	○	○	○	○	○	○	○	○	○	○

여기서, 'SFx(y)'는 x 번째 서브필드와 그 가중치 y를 의미한다. 그리고 '○'는 해당 서브필드가 켜진 상태를 나타내고, '×'는 해당 서브필드가 꺼진 상태를 나타낸다.

이 경우, 적색, 녹색 및 청색의 모든 조합을 하더라도 1331 색밖에 표현되지 않으므로 1670만 색의 트루컬러(True color)에 비하여 색표현 능력이 현저히 부족하게 된다. 이와 같은 방식의 PDP는 9.57ms의 표시기간에서 전환면이 켜질 때의 950cd/m<sup>2</sup>의 피크 화이트(Peak White)와 1회의 리셋기간에서 발생하는 0.7cd/m<sup>2</sup>의 밝기와 1회의 전면 라이팅 기간에서 발생하는 1.5cd/m<sup>2</sup>의 밝기가 더해진 2.2cd/m<sup>2</sup>의 블랙(Black)에 의해 430 : 1의 암실 콘트라스트비(Contrast ratio)를 가진다.

전술한 바와 같이, 종래의 PDP 구동방법에 있어서 선택적 쓰기 방식은 어드레스 기간 동안 선택적으로 방전셀들을 켜기 위한 데이터펄스와 스캔펄스가 3 $\mu$ s 이상의 펄스폭을 가져야 하기 때문에 고속으로 구동할 수 없게 된다. 선택적 소거 방식은 선택적 쓰기 방식에 비하여 방전셀들을 선택적으로 끄기 위한 데이터펄스와 스캔펄스가 대략 1 $\mu$ s 정도이므로 고속으로 구동할 수 있는 장점이 있는데 반하여, 비표시기간인 리셋기간에 전환면의 방전셀들을 켜기 때문에 콘트라스트가 나쁜 단점이 있다.

#### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 PDP를 고속으로 구동시킴과 아울러 콘트라스트를 향상시킬 수 있도록 한 PDP의 고속 구동 방법을 제공함에 있다.

#### 발명의 구성 및 작용

상기 목적들을 달성하기 위하여, 본 발명에 따른 PDP의 고속 구동방법의 한 프레임은 어드레스기간에 선택된 방전셀들에 대하여 쓰기방전을 일으킴으로써 방전셀을 켜는 다수의 선택적 쓰기 서브필드들과; 어드레스기간에 선택된 방전셀들에 대하여 소거방전을 일으킴으로써 방전셀을 끄는 다수의 선택적 소거 서브필드들을 포함한다.

상기 목적들 외에 본 발명의 다른 목적 및 특징들은 첨부한 도면들을 참조한 실시예들에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 3 내지 도 5를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 3을 참조하면, 본 발명에 따른 PDP의 고속 구동방법의 한 프레임은 동영상 의사운곽 노이즈를 줄이기 위하여 12 개의 서브필드들(WSF1내지WSF6,ESF7내지ESF12)을 포함하며, 선택적 쓰기 방식으로 구동되는 서브필드들(WSF1내지WSF6)과, 선택적 소거 방식으로 구동되는 서브필드들(ESF7내지ESF12)로 나누어지게 된다. 제1 서브필드(WSF1)는 전환면을 끄는 리셋기간, 선택된 방전셀들을 켜는 선택적 쓰기 어드레스 기간, 어드레스 방전에 의해 선택된 방전셀을 서스테인 방전시키는 서스테인 기간 및 서스테인 방전을 소거시키는 소거기간으로 나뉘어진다. 제2 내지 제5 서브필드들(WSF2내지WSF5) 각각은 선택적 쓰기 어드레스 기간, 서스테인 기간 및 소거기간으로 나뉘어진다. 그리고 제6 서브필드(WSF6)는 선택적 쓰기 어드레스 기간과 서스테인기간으로 나뉘어진다. 제1 내지 제6 서브필드들(WSF1내지WSF6)에 있어서 선택적 쓰기 어드레스 기간과 소거기간은 각 서브필드마다 동일한 반면에 서스테인 기간은 각 서브필드에서  $2^n$  ( $n=0,1,2,3,4,5$ )의 비율로 증가된다. 제7 내지 제12 서브필드들(ESF7내지ESF12)은 전환면이 라이팅되는 전면 라이팅기간없이 선택된 방전셀들을 끄는 선택적 소거 어드레스 기간과 어드레스 방전에 의해 선택된 방전셀들 이외의 방전셀들을 서스테인 방전시키는 서스테인 기간으로 나뉘어진다. 제7 내지 제12 서브필드들(ESF7내지ESF12)에 있어서 선택적 소거 어드레스 기간과 서스테인 기간은 동일하게 설정된다. 여기서, 제7 내지 제12 서브필드들(ESF7내지ESF6)의 서스테인 기간은 제6 서브필드와 동일한 휘도 상대비를 갖도록  $2^5$ 의 휘도 상대비로 설정된다.

도 4는 본 발명의 실시예에 따른 PDP의 구동방법의 구동과형을 나타낸다.

도 4를 참조하면, 어드레스전극라인들(X)에는 제1 내지 제6 서브필드들(WSF1내지WSF6)의 어드레스 기간동안 선택적 쓰기 데이터(SWD)가 공급되며, 제7 내지 제12 서브필드들(ESF7내지ESF12)의 어드레스 기간동안 선택적 소거 데이터(SED)가 공급된다. 주사/서스테인전극라인들(Y)에는 제1 내지 제6 서브필드들(WSF1내지WSF6)의 어드레스 기간동안 대략  $3\mu s$ 의 스캔펄스(-SWSCN)가 순차적으로 공급되며, 제7 내지 제12 서브필드들(ESF7내지ESF12)의 어드레스 기간동안 대략  $1\mu s$ 의 스캔펄스(-SESCN)가 순차적으로 공급된다.

먼저, 제1 서브필드(WSF1)의 리셋기간이 시작됨과 동시에 공통서스테인전극라인들(Z)에 정극성의 리셋펄스(RSP)가 공통으로 공급된다. 이어서, 주사/서스테인전극라인(Y)에 정극성의 램프파(RPS1), 부극성의 펄스(-CRP), 정극성의 램프파(RPS2)가 순차적으로 공급된다. 그러면 전환면의 방전셀들은 리셋방전에 의해 균일하게 벽전하가 축적되며 램프파(RPS1,RPS2)와 부극성펄스(-CRP)에 의해 방전, 유지 및 소거과정을 거치면서 꺼지게 된다. 이어서, 제1 서브필드(WSF1)의 어드레스기간에는 비디오 데이터의 논리값 "1"에 대응하는 선택적 쓰기 데이터(SWD)가 어드레스전극라인들(X)에 공급된다. 이 선택적 쓰기 데이터(SWD)에 동기되어 주사/서스테인전극라인들(Y)에는 대략  $3\mu s$ 의 펄스폭을 가지는 부극성의 스캔펄스(-SWSCN)가 라인별로 순차적으로 공급된다. 이들 선택적 쓰기 데이터(SWD)와 스캔펄스(-SWSCN)의 전압차에 의해 어드레스전극라인들(X)과 주사/서스테인전극라인들(Y) 사이에 쓰기 어드레스 방전이 일어나게 된다. 그러면 비디오 데이터의 논리값 "1"에 해당하는 방전셀들이 어드레스 방전에 의해 선택된다. 이렇게 선택된 방전셀들만이 어드레스 방전예의해 벽전하 및 공간전하들이 생성된다. 이에 따라, 선택된 방전셀들의 벽전압레벨은 서스테인 펄스가 공급되면 서스테인 방전이 일어날 수 있는 서스테인전압레벨로 상승된다. 제1 서브필드(WSF1)의 서스테인기간에는 주사/서스테인전극라인들(Y)과 공통서스테인전극라인들(Z)에 교번적으로 1회씩 서스테인펄스(SUSP)가 공급된다. 이 서스테인펄스(SUSP)와 선택된 방전셀들 내의 벽전압이 더해지면서 선택된 방전셀들은 서스테인 방전이 일어나게 된다. 제1 서브필드(WSF1)의 소거기간에는 리셋기간과 같이 주사/서스테인전극라인들(Y)에 정극성의 램프파(RPS1), 부극성의 펄스(-CRP), 정극성의 램프파(RPS2)가 공급된다. 그러면 전환면의 방전셀들이 꺼지게 된다. 제2 내지 제5 서브필드(WSF2내지WSF5)는 리셋기간이 생략되고 서스테인기간만 다를뿐 제1 서브필드(WSF1)와 같이 선택적 쓰기 어드레스 기간, 서스테인기간 및 소거기간으로 나누어 구동된다. 제6 서브필드(WSF6)는 이어지는 제7 서브필드(ESF7)가 선택적 소거 방식으로 구동되므로 계조값에 따라 제7 서브필드(ESF7)가 켜질 때에는 반드시 켜지게 있어야 한다. 이에 따라, 제6 서브필드(SF6)에는 소거기간이 생략된다.

선택적 소거 방식으로 구동되는 첫 번째 서브필드인 제7 서브필드(ESF7)는 선택적 소거 어드레스 기간으로 시작된다. 선택적 소거 어드레스 기간에는 비디오 데이터의 논리값 "0"에 대응하는 선택적 소거 데이터(SED)가 어드레스전극라인들(X)에 공급된다. 이 선택적 소거 데이터(SED)에 동기되어 주사/서스테인전극라인들(Y)에는 대략  $1\mu s$ 의 펄스폭



을 가지는 부극성의 스캔펄스(-SESCN)가 라인별로 순차적으로 공급된다. 이들 선택적 소거 데이터(SED)와 스캔펄스(-SESCN)의 전압차에 의해 어드레스전극라인들(X)과 주사/서스테인전극라인들(Y) 사이에 소거 어드레스 방전이 일어나게 된다. 그러면 비디오 데이터의 논리값 "0"에 해당하는 방전셀들이 어드레스 방전에 의해 선택되어 꺼지게 된다. 이렇게 선택된 방전셀들만이 선택적 소거 어드레스 방전에 의해 벽전하 및 공간전하들이 재결합된다. 이에 따라, 선택적 소거 어드레스 방전에 의해 선택된 방전셀들의 벽전압레벨은 서스테인 펄스가 공급되어도 서스테인 방전이 일어날 수 없는 전압레벨로 떨어지게 된다. 제7 서브필드(ESF7)의 서스테인기간에는 주사/서스테인전극라인들(Y)과 공통 서스테인전극라인들(Z)에 교번적으로 서스테인펄스(SUSP)가 공급된다. 이 서스테인펄스(SUSP)와 어드레스 방전에 의해 선택되지 않는 방전셀들 내의 벽전압이 더해지면서 선택되지 않는 방전셀들은 서스테인 방전이 일어나게 된다. 제8 내지 제12 서브필드(ESF8내지WSF12) 역시 제7 서브필드(ESF7)와 마찬가지로 이전 서브필드가 꺼질 때에만 켜지게 되고 매서브필드마다 필요없는 방전셀들이 꺼지게 된다.

아래의 표 2는 제1 내지 제12 서브필드들(WSF1내지WSF6,ESF7내지ESF12)에서 표현되는 계조레벨과 코딩방법을 나타낸다.

[표 2]

계조	SF1(1)	SF2(2)	SF3(4)	SF4(8)	SF5(16)	SF6(32)	SF7(32)	SF8(32)	SF9(32)	SF10(32)	SF11(32)	SF12(32)
0~31	바이너리코딩					x	x	x	x	x	x	x
32~63	바이너리코딩					○	x	x	x	x	x	x
64~95	바이너리코딩					○	○	x	x	x	x	x
96~127	바이너리코딩					○	○	○	x	x	x	x
128~159	바이너리코딩					○	○	○	○	x	x	x
160~191	바이너리코딩					○	○	○	○	○	x	x
192~223	바이너리코딩					○	○	○	○	○	○	x
224~255	바이너리코딩					○	○	○	○	○	○	○

표 2에서 알 수 있는 바, 제1 내지 제12 서브필드들(WSF1내지WSF6,ESF7내지ESF12) 중, 프레임의 앞쪽에 배치된 제1 내지 제5 서브필드들(WSF1내지WSF5)는 바이너리 코딩(Binary coding)되며, 제6 내지 제12 서브필드들(WSF6,ESF7내지ESF12)은 리니어 코딩(Linear coding)된다. 즉, 선택적 소거 방식으로 구동되는 제7 내지 제12 서브필드들(ESF7내지ESF12) 각각은 서브필드들이 연속될 때마다 필요없는 방전셀들을 끌 수 있도록 이전 서브필드가 반드시 켜져 있어야만 한다. 예를 들어, 제7 서브필드(ESF7)가 켜지기 위해서는 이전 서브필드인 선택적 쓰기 방식으로 구동되는 제6 서브필드(WSF6)가 켜져야만 한다. 이렇게 제6 서브필드(WSF6)가 켜진 후, 제7 내지 제12 서브필드들(ESF7내지ESF12)에서 필요없는 방전셀들을 꺼나가게 된다. 따라서, 제7 서브필드(ESF7)은 선택적 소거 어드레스를 위한 별도의 라이팅 방전이 필요없게 된다. 또한, 제8 내지 제12 서브필드들(ESF8내지ESF12)도 이전 서브필드가 켜져야만 켜질수 있으므로 전면 라이팅없이 선택적으로 방전셀들을 꺼나갈 수 있다. 예를 들어, 계조값 74를 표시한다면, 바이너리 코딩에 의해 제1 내지 제5 서브필드들(WSF1내지WSF5) 중, 제2 및 제4 서브필드(WSF2,WSF4)가 켜지게 되고 제6 및 제7 서브필드(WSF6,ESF7)이 연속적으로 켜지게 된다.

한 프레임이 선택적 쓰기방식의 서브필드들(WSF1내지WSF6)과 선택적 소거방식의 서브필드들(ESF7내지ESF12)을 포함하면, PDP가 VGA 급의 해상도 즉, 480 라인의 주사라인을 갖는 경우에 어드레스 기간은 총 11.52ms가 필요하다. 이에 비하여, 서스테인 기간은 3.35ms가 필요하게 된다. 다시 말하여, 어드레스 기간은 한 프레임당  $3\mu s$ (선택적 쓰기 스캔펄스의 펄스폭)  $\times$  480 라인  $\times$  6(선택적 쓰기 서브필드 수)으로 산출된 8.64ms와  $1\mu s$ (선택적 소거 스캔펄스의 펄스폭)  $\times$  480 라인  $\times$  6(선택적 소거 서브필드 수)으로 산출된 0.288ms가 필요하다.

스폭)×480 라인×6(선택적 소거 서브필드 수)으로 산출된 2.88ms의 합인 11.52ms가 필요하다. 서스테인기간은 한 프레임당 11.52ms의 어드레스 기간, 0.3ms의 1회 리셋기간,  $100\mu s \times 5$ (서브필드 수)=0.5ms의 소거기간 및 1ms의 수직동기신호(Vsync) 여유기간을 뺀(16.67ms -8.64ms -2.88ms -0.3ms -1ms -0.5ms) 나머지 시간인 3.35ms이다. 따라서, 본 발명에 따른 PDP의 구동방법은 종래의 선택적 쓰기방식에 비하여 서브필드의 수가 늘어남으로써 동영상에서의 의사윤곽 노이즈를 줄일수 있을뿐 아니라 종래의 선택적 쓰기방식에서 한 프레임 내에 8 개의 서브필드들이 포함될때보다 3.05ms에서 3.35ms로 서스테인기간이 더 늘어나게 된다.

한 프레임이 선택적 쓰기방식의 서브필드들(WSF1내지WSF6)과 선택적 소거방식의 서브필드들(ESF7내지ESF12)을 포함하면, 3.35ms의 표시기간에서 전환면이 커지면 피크 화이트(Peak White) 밝기에 해당하는  $330\text{cd/m}^2$  만큼의 광이 발생하고 한 프레임 내에서 1회의 리셋기간에만 리셋방전에 의해 화면이 커지면 블랙(Black)에 해당하는  $0.7\text{cd/m}^2$  만큼의 광이 발생한다. 따라서, 본 발명에 따른 PDP의 구동방법의 암실 콘트라스트비(Contrast ratio)는 470 : 1 수준이므로 한 프레임 내에 10 개의 서브필드를 포함한 선택적 소거 방식의 콘트라스트(60 : 1)보다 콘트라스트가 커짐은 물론 한 프레임 내에 8 개의 서브필드를 포함한 선택적 쓰기방식의 콘트라스트(430 : 1)보다도 크게 된다.

도 5는 본 발명의 다른 실시예에 따른 PDP의 구동방법에 있어서, 한 프레임기간 내에 포함되는 서브필드들을 나타낸다.

도 5를 참조하면, 본 발명에 따른 PDP의 고속 구동방법의 한 프레임은 동영상 의사윤곽 노이즈를 줄이기 위하여 11 개의 서브필드들(WSF1내지WSF5,ESF6내지ESF11)을 포함하며, 선택적 쓰기 방식으로 구동되는 5 개의 서브필드들(WSF1내지WSF5)과, 선택적 소거 방식으로 구동되는 6 개의 서브필드들(ESF6내지ESF11)로 나누어지게 된다. 제1 서브필드(WSF1)는 전환면을 끄는 리셋기간, 선택된 방전셀들을 켜는 선택적 쓰기 어드레스 기간, 어드레스 방전에 의해 선택된 방전셀을 서스테인 방전시키는 서스테인 기간 및 서스테인 방전을 소거시키는 소거기간으로 나뉘어진다. 제2 내지 제4 서브필드들(WSF2내지WSF4) 각각은 선택적 쓰기 어드레스 기간, 서스테인 기간 및 소거기간으로 나뉘어진다. 그리고 제5 서브필드(WSF5)는 선택적 쓰기 어드레스 기간과 서스테인기간으로 나뉘어진다. 제1 내지 제5 서브필드들(WSF1내지WSF5)에 있어서 선택적 쓰기 어드레스 기간과 소거기간은 각 서브필드마다 동일한 반면에 서스테인 기간은 각 서브필드에서  $2^n$  ( $n=0,1,2,3,4$ )의 비율로 증가된다. 제6 내지 제11 서브필드들(ESF6내지ESF11)은 전환면이 라이팅되는 전면 라이팅기간없이 선택된 방전셀들을 끄는 선택적 소거 어드레스 기간과 어드레스 방전에 의해 선택된 방전셀들 이외의 방전셀들을 서스테인 방전시키는 서스테인 기간으로 나뉘어진다. 제6 내지 제11 서브필드들(ESF6내지ESF11)에 있어서 선택적 소거 어드레스 기간은 동일한 반면에 서스테인 기간은 16 : 24 : 32 : 40 : 50 : 62의 휘도상대비를 갖도록 다르게 설정된다.

아래의 표 3은 제1 내지 제11 서브필드들(WSF1내지WSF5,ESF6내지ESF11)에서 표현되는 계조레벨과 코딩방법을 나타낸다.

[표 3]

계조	SF1(1)	SF2(2)	SF3(4)	SF4(8)	SF5(16)	SF6(16)	SF7(24)	SF8(32)	SF9(40)	SF10(50)	SF11(62)
0~15	바이너리코딩				×	×	×	×	×	×	×
16~31	바이너리코딩				○	×	×	×	×	×	×
32~47	바이너리코딩				○	○	×	×	×	×	×
56~71	바이너리코딩				○	○	○	×	×	×	×
88~103	바이너리코딩				○	○	○	○	×	×	×
128~143	바이너리코딩				○	○	○	○	○	×	×
178~193	바이너리코딩				○	○	○	○	○	○	×
240~255	바이너리코딩				○	○	○	○	○	○	○

표 3에서 알 수 있는 바, 제1 내지 제11 서브필드들(WSF1내지WSF5,ESF6내지ESF11) 중, 프레임의 앞쪽에 배치된 제1 내지 제4 서브필드들(WSF1내지WSF4)은 바이너리 코딩되며, 제5 내지 제11서브필드들(WSF5,ESF6내지ESF11)은 리니어 코딩(Linear coding)된다. 즉, 선택적 소거 방식으로 구동되는 제6 내지 제11 서브필드들(ESF6내지ES

F11) 각각은 서브필드들이 연속될 때마다 필요없는 방전셀들을 끌 수 있도록 이전 서브필드가 반드시 켜져 있어야만 한다. 0~47 사이의 계조값은 모든 계조가 표현될 수 있다. 그러나 48~55, 72~87, 104~127, 144~178 및 194~239의 계조범위는 바이너리 코딩과 리니어 코딩의 조합에 의해서도 표시될 수 없다. 이와 같이 표현되지 않는 계조범위는 디서링(Dithering)이나 오차 확산 방법을 이용하여 표시하고자 하는 계조값과 유사하게 표시될 수 있다. 이와 같이, 낮은 계조값들은 모두 표현하고 높은 계조값들의 일부 표시되지 않는 계조범위를 디서링이나 오차확산 방법으로 표시하게 되면 화질이 다소 떨어질 수 있지만 떨어지는 정도를 최소화할 수 있다.

이와 같이 한 프레임이 선택적 쓰기방식으로 구동되는 5 개의 서브필드들(WSF1내지WSF5)과 선택적 소거방식으로 구동되는 6 개의 서브필드들(ESF6내지ESF11)을 포함하면, PDP가 VGA 급의 해상도 즉, 480 라인의 주사라인을 갖는 경우에 어드레스 기간에 필요한 시간은 10.08ms에 불과하게 된다. 이렇게 어드레스 기간이 줄어든 만큼 서스테인 기간은 4.89ms로 충분히 확보될 수 있게 된다. 다시 말하여, 어드레스 기간은 한 프레임당  $3\mu s$ (선택적 쓰기 스캔펄스의 펄스폭)  $\times$  480 라인  $\times$  5(선택적 쓰기 서브필드 수)로 산출된 7.2ms와  $1\mu s$ (선택적 소거 스캔펄스의 펄스폭)  $\times$  480 라인  $\times$  6(선택적 소거 서브필드 수)으로 산출된 2.88ms의 합인 10.08ms가 필요하다. 서스테인기간은 한 프레임당 1 0.08ms의 어드레스 기간, 0.3ms의 1회 리셋기간,  $100\mu s \times 4$ (서브필드 수) = 0.4ms의 소거기간 및 1ms의 수직동기 신호(Vsync) 여유기간을 뺀(16.67ms -10.08ms -0.3ms -1ms -0.5ms) 나머지 기간인 4.89ms이다.

이렇게 한 프레임이 선택적 쓰기방식의 서브필드들(WSF1내지WSF5)과 선택적 소거방식의 서브필드들(ESF6내지ESF11)을 포함하면, 4.89ms의 표시기간에서 전환면이 켜지면 피크 화이트(Peak White) 밝기에 해당하는 대략 490cd /m<sup>2</sup>만큼의 광이 발생하고 한 프레임 내에서 1회의 리셋기간에만 리셋방전에 의해 화면이 켜지면 블랙(Black)에 해당하는 0.7cd/m<sup>2</sup>만큼의 광이 발생한다. 따라서, 본 발명의 제2 실시예에 따른 PDP의 구동방법의 암실 콘트라스트비(Contrast ratio)는 700 : 1 수준으로 된다.

#### 발명의 효과

상술한 바와 같이, 본 발명에 따른 PDP의 구동방법은 한 프레임을 선택적 쓰기 방식으로 구동되는 서브필드들과 전면 라이팅기간이 없이 선택적 소거 방식으로 구동되는 서브필드들로 나뉘어 구동하게 된다. 이에 따라, 본 발명에 따른 PDP의 구동방법은 선택적 쓰기 방식에 비하여 대폭 어드레스 기간이 짧아지게 되고 서스테인 기간을 충분히 확보할 수 있게 되므로 동영상 의사용과 노이즈를 줄이기 위하여 서브필드 수를 늘려도 구동이 가능함은 물론 고속구동이 가능하므로 고해상도의 패널을 구동하기에 적합하게 된다. 또한, 본 발명에 따른 PDP의 구동방법은 비표시기간에 방전이 일어나는 기간은 1회의 리셋기간에 불과하고 표시기간을 충분히 확보할 수 있으므로 선택적 쓰기 방식은 물론 선택적 소거 방식보다도 콘트라스트 비가 커지게 된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여 져야만 할 것이다.

#### (57) 청구의 범위

##### 청구항 1.

한 프레임이 다수의 서브필드들로 나뉘어지고, 상기 서브필드들은 리셋기간, 어드레스기간 및 서스테인기간으로 나뉘어 구동되는 플라즈마 디스플레이 패널의 구동방법에 있어서,

상기 한 프레임이,

상기 어드레스기간에 선택된 방전셀들에 대하여 쓰기방전을 일으킴으로써 상기 방전셀을 켜는 다수의 선택적 쓰기 서브필드들과;

상기 어드레스기간에 선택된 방전셀들에 대하여 소거방전을 일으킴으로써 상기 방전셀을 끄는 다수의 선택적 소거 서브필드들을 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 고속 구동방법.

## 청구항 2.

제 1 항에 있어서,

상기 선택적 쓰기 서브필드들 중, 상기 선택적 소거 서브필드와 인접한 마지막 서브필드를 제외한 나머지 서브필드들은 바이너리 코딩에 의해 조합되어 계조를 표시하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 고속 구동방법.

## 청구항 3.

제 1 항에 있어서,

상기 선택적 쓰기 서브필드들 중, 상기 선택적 소거 서브필드와 인접한 마지막 서브필드와 상기 선택적 소거 서브필드들은 이전 서브필드가 켜져야만 다음 서브필드가 켜지는 리니어 코딩에 의해 계조를 표시하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 고속 구동방법.

## 청구항 4.

제 1 항에 있어서,

상기 선택적 쓰기 서브필드들 중, 첫 번째 서브필드는 전화면을 초기화시키기 위한 리셋기간, 선택적으로 방전셀들을 켜는 선택적 쓰기 어드레스기간, 상기 어드레스기간에 켜진 방전셀들을 표시하는 서스테인기간 및 전화면의 방전셀들을 끄는 소거기간으로 나뉘어지며;

상기 선택적 쓰기 서브필드들 중, 상기 선택적 소거 서브필드와 인접한 마지막 서브필드는 상기 선택적 쓰기 어드레스기간 및 상기 서스테인기간으로 나뉘어지며;

상기 선택적 쓰기 서브필드들 중, 상기 첫 번째 서브필드와 마지막 서브필드 사이의 서브필드들은 상기 선택적 쓰기 어드레스기간, 상기 서스테인기간 및 상기 소거기간으로 나뉘어지는 것을 특징으로 하는 플라즈마 디스플레이 패널의 고속 구동방법.

## 청구항 5.

제 4 항에 있어서,

상기 선택적 쓰기 어드레스기간 및 상기 소거기간은 매 서브필드마다 동일한 반면, 상기 서스테인기간은 매 서브필드마다 다르게 설정되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 고속 구동방법.

## 청구항 6.

제 1 항에 있어서,

상기 선택적 쓰기 서브필드들에 포함된 선택적 쓰기 어드레스 기간에 공급되는 스캔펄스의 펄스폭은 대략  $3\mu s$ 인 것을 특징으로 하는 플라즈마 디스플레이 패널의 고속 구동방법.

청구항 7.

제 1 항에 있어서,

상기 선택적 소거 서브필드들은 전화면을 선택적으로 방전셀들을 끄는 선택적 소거 어드레스기간, 상기 어드레스기간에 꺼진 방전셀들 이외의 방전셀들을 표시하는 서스테인기간으로 나뉘어지는 것을 특징으로 하는 플라즈마 디스플레이 패널의 고속 구동방법.

청구항 8.

제 7 항에 있어서,

상기 선택적 소거 서브필드들 각각의 상기 서스테인기간은 동일하게 설정되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 고속 구동방법.

청구항 9.

제 7 항에 있어서,

상기 선택적 소거 서브필드들 각각의 상기 서스테인기간은 다르게 설정되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 고속 구동방법.

청구항 10.

제 1 항에 있어서,

상기 선택적 소거 서브필드들에 포함된 선택적 소거 어드레스 기간에 공급되는 스캔펄스의 펄스폭은 대략  $1\mu s$ 인 것을 특징으로 하는 플라즈마 디스플레이 패널의 고속 구동방법.

청구항 11.

제 1 항에 있어서,

상기 선택적 쓰기 서브필드들과 상기 선택적 소거 서브필드들 각각은 6 개로 구성되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 고속 구동방법.

청구항 12.

제 1 항에 있어서,

상기 선택적 쓰기 서브필드들은 6 개로 구성되며,

상기 선택적 소거 서브필드들은 5 개로 구성되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 고속 구동방법.

청구항 13.

제 1 항에 있어서,

상기 선택적 쓰기 어드레스기간과 상기 선택적 소거 어드레스기간의 조합에 의해 표현되지 못하는 계조 범위는 디서링(Dithering)이나 오차 확산 방법을 이용하여 원하는 계조값과 유사하게 표시하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 고속 구동방법.

도면

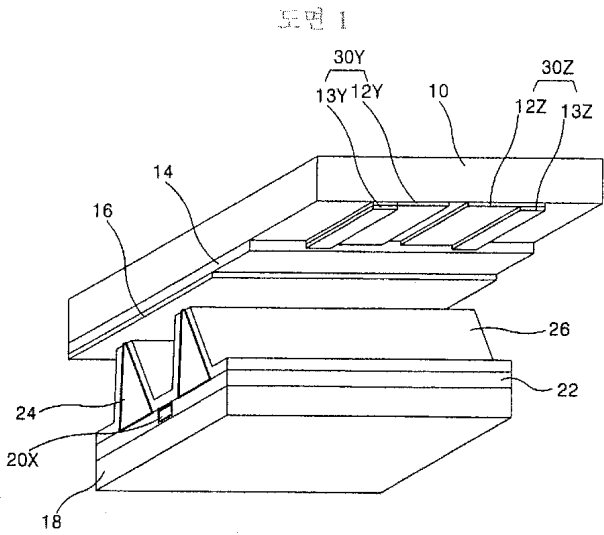
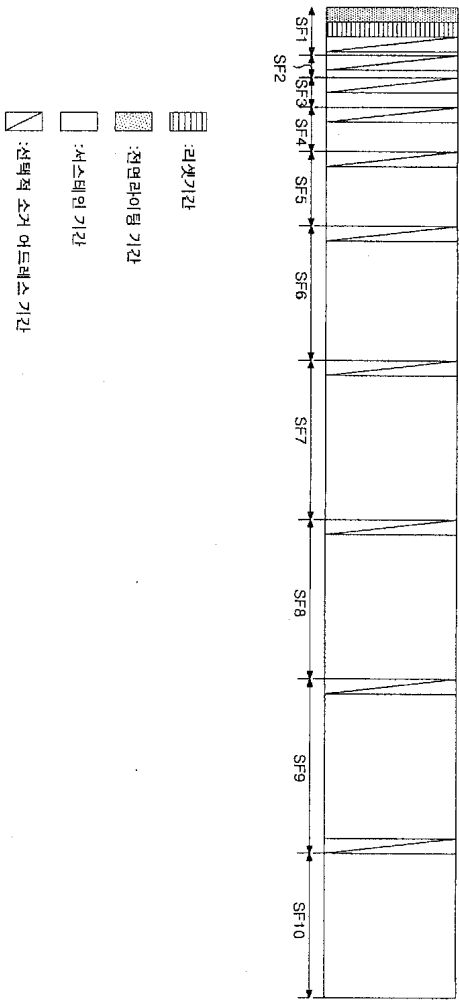
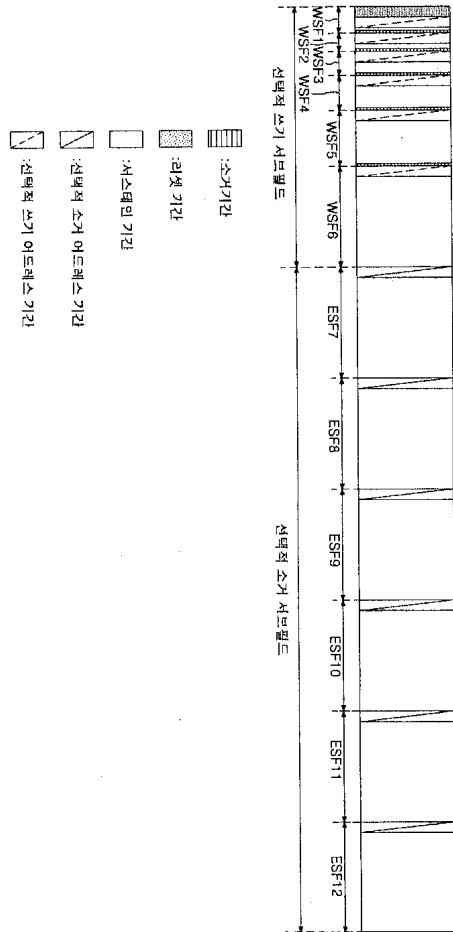


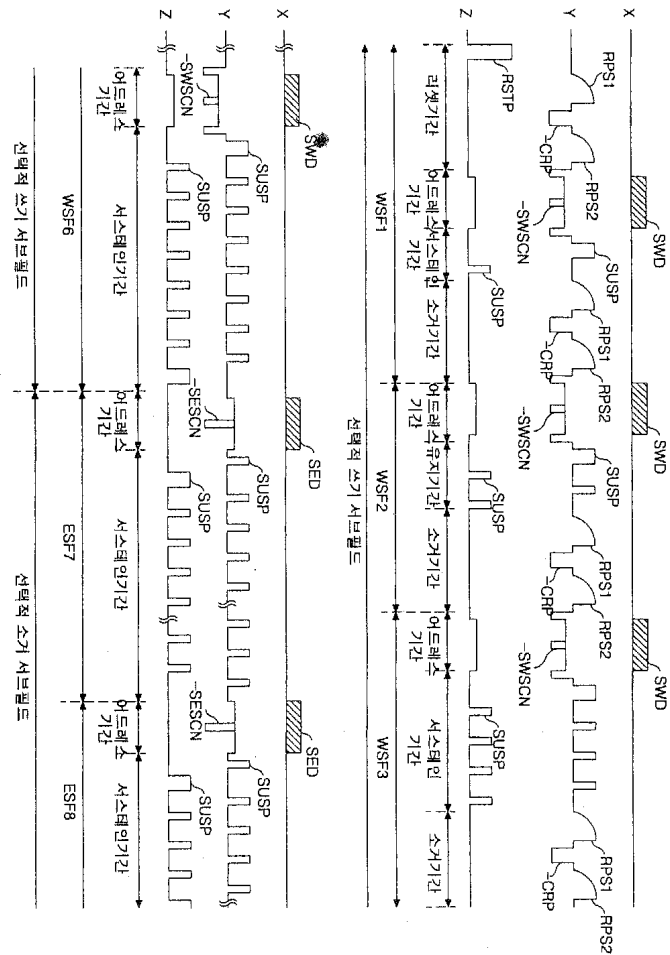
그림 2



3  
면







표

